インサイド HDL Endeavor

～ 従来型講習に代わるマルチメディア教材開発の背景 ～

＜はじめに＞

設計の現場では，慢性的に設計者が不足しています。大規模で高速化したシステムLSIを設計するためには，多くの設計者，しかもHDL設計や論理合成に通じた設計者を必要としています。そこで若手の設計者への基礎教育，配置換えなどによる再教育が盛んです。

弊社は，国内では数少ない独立・専業の設計コンサルタント会社です。大手を始め，数多くの電機メーカーの技術者に対し，HDLの教育を行ってきました。HDL Endeavor は，数多くのHDL教育経験やノウハウを生かした教育システムです。Verilog-HDL の初学者を対象に，実践レベルまでのスキルアップをお約束します。

ここでは，設計者教育の現状と問題点を報告し，解決策としての HDL Endeavor について述べさせていただきます。

＜設計教育の現状＞

(1)大手企業の設計教育

大手の設計教育は恵まれています。いずれの会社も社内にワークステーションやPCの並んだセミナールームを持ち，シミュレータや論理合成を実行できる環境があります。

設計教育は，言語(Verilog-HDLかVHDL)やレベル(初級，中級，上級)分けされ，定期開催されているので，受講者は自分にあったコースを受けることができます。多くは社内のイントラネットでスケジュールが公開され，ネット上で申し込むことができるようです。

また，新入社員教育に数週間の VHDL 教育を実施している会社もあり，C言語教育とあわせて，かなり成果を上げています。

設計者が大手ほど多くない準大手の会社では，専用のセミナールームを確保するまでにはいたらず，会議室などに講師を招いて座学中心に実施する場合がほとんどです。このような場合，設計演習はツールを使用せず机上演習が中心になります。

社内の経験豊富なエンジニアが講師を担当する場合があります。しかし，

・本業の片手間では講習はできない
・事前準備は想像以上に手間がかかる
・講習がルーズになることもある

などのため，社外講師の方が成果が大きいと思われます。

(2)EDAベンダー提供のセミナー

EDAツールを販売しているベンダーが，ツールの利用を前提とした設計教育を実施しています。建前は有料ですが，実際にはツールを導入した会社には無料にする場合が多くあります。販売促進の一環として割り切っているところもあります。

表1

セミナー実施	開催場所	内容	期間・価格
EDAベンダー	東京 大阪	・ベンダーの取り扱うツールの利用を前提とした設計教育 ・1人1台のツール利用ができる	1～3日 4～10万円
PLDベンダー	東京 大阪など	・PLD顧客向けの設計教育 ・多くが座学形式	0.5日～1日 無料～2万円
セミナー会社	東京 大阪など	・座学形式のみ ・最近は，あまり実施されていない	1～2日 5～7万円
高度 ポリテクセンター	幕張 (千葉県)	・シミュレータとFPGAツールを使った実習ができる ・機械設計，FA，建築，CG，ネットワークなど多岐にわたった研修もある	2～3日 2～3万円

(3)PLDベンダのセミナー

FPGAやCPLDなどのプログラマブル素子の設計ではHDL化が浸透している最中です。低価格なHDLサポートツールが提供されているためでもあります。PLDベンダーのセミナーも，無料か低価格で提供されています。

(4)セミナー会社の有料セミナー

かつては頻繁に行われていたセミナー会社のHDL関連セミナーも最近ではずいぶん下火になりました。セミナー会社の提供するセミナーは，時代の先端をテーマにしたものが多く，HDL自体の目新しさがなくなったためでしょうか。

(5)高度ポリテクセンター

労働省の管轄の雇用促進事業団が運営する全国の職業能力開発促進センター(ポリテクセンター)の総本山です。千葉県の幕張にあり，宿泊施設も併設されています。論理回路設計だけでなく，機械設計，FA，建築，CG，ネットワーク，プログラミングなど多岐にわたった研修を実施しています。HDL設計のコースでは，HDLシミュレータやFPGAツールを利用した実習があり，実践的な学習ができます。

＜現状の設計教育の問題点＞

(1)設計教育は首都圏に集中

やはり首都圏を離れると，設計教育に関しても過疎地になってしまいます。あるエンジニアが，実家のある東北地方の会社に転職しましたが，その会社ではHDL設計に移行していませんでした。そこで孤軍奮闘してHDL設計の普及に努めているそうです。近隣ではセミナーも開催されていないし，参考になるのは単行本くらいで，しかも種類が少ない，とぼやいていました。

設計教育に関しては，大阪のような大都市でも「地方」かもしれません。大手の会社でも，HDL設計セミナーは首都圏の研修所だけで実施されるのを多く見受けます。

(2)集合教育の問題点

現在行われている設計教育の多くは集合教育形式で実施されています。一度に多くの受講者を相手できる集合教育は，運営する事務局や担当する講師にとっては都合がよいのですが，図1に示したような多くの問題点を抱えています。

図1

■ 日程が限定される

- ・年に3～4回 ‥ 今回を逃すと次回は3ヶ月後？
- ・1回あたり3～5日連続 ‥ 3日も4日も仕事を空けられない
- ・午前9時～午後5時 ‥ 重要な打ち合わせが...
- ・午前中講義，午後演習 ‥ 初日の午前中参加できなかったら落ちこぼれは必至？

■ 場所が限定される

- ・遠方の研修センター ‥ 旅費もかかるし，前泊も必要だし
- ・構内の研修室 ‥ 近くていいけど，すぐ呼び出しが...

■ 受講者のレベルにあわないコース

- ・初級，中級，上級の設定
  - Aさん:「中級にしては難しかった」 ‥ 既知のこととして割愛される
  - Bさん:「中級にしては簡単だった」 ‥ 既知のことを繰り返し聞かされる

▲半日遅刻しただけで，3日間を無駄にしてしまう

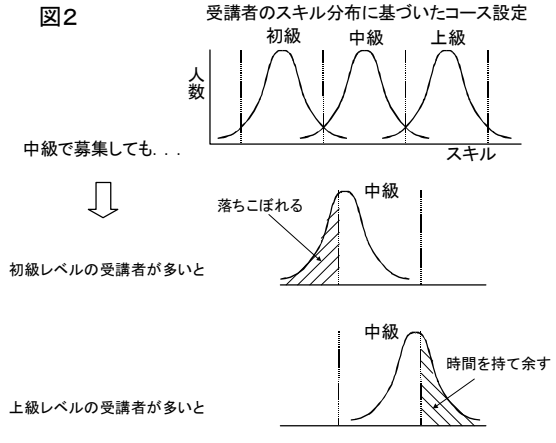
以前実施した講習でこんなことがありました。月曜日から始まる3日間のHDL初級セミナーに，その受講者は遅刻してきました。初日の午後から参加したのです。そのコースは，午前中講義，午後演習の形式でしたので，参加していきなり演習をさせられたわけです。当然できず，テキストを見てもなかなか追いつけません。結局その方は，弊社講師の手厚い(？)フォローにもかかわらず，落ちこぼれてしまいました。

初日の講義はとても重要です。初級コースなので，なおさらでした。同じ半日でも，最終日の午後なら，影響は最小限だったはずです。日程の制約は受講者利益より，運営者の都合を優先した結果ともいえます。

また，開講したコースと受講者のレベル不一致の問題があります。すべての受講者のレベルにあった講習を提供するのは難しく，必然的に「初級，中級，上級」などのコース分けになります。

仮に，若干の設計経験を持った方が，中級を受けたとします(図2)。必ずしもレベルがあっている保証はありません。内容が簡単すぎて退屈するかもしれませんし，既知のこととして説明を省かれてしまって，落ちこぼれてしまうかもしれません。どんなにコースを細分化しても，受講者の習熟度を客観的に評価できない以上，レベルを完全にあわせるのは困難です。

図2



▲座学だけではイメージがわかない

何事もそうですが，実際に体験してみないと理解したことにはなりません。HDL設計でも，実際に回路を記述し，シミュレーションし，論理合成してみて，回路図設計との違いを実感できるはずです。実習ができるHDLセミナーは，そう多くはありません。シミュレーションや論理合成などのツールを用意できないため，しかたなく座学中心になっています。

ツールを用いた実習ができなければ，机上でのペーパーテスト方式の演習でも，少なからず効果があります。

図3

- ・集合型でのセルフペース方式研修
- ・最適な順序で効率的に学習できる(コースマップ)
- ・既知事項はスキップできる(飛び級システム)
- ・学習の成果を「測定」できる(目標記述，絶対評価)
- ・受講者の個人差に柔軟に対応できる(受講要件設定)
- ・「講師」に相当する「コースマネージャー」が，
  - 質問のある受講者にマンツーマンの学習指導
  - 学習単元の修了判定
  - 各受講者の進捗管理

  などを行う
- ・テキスト，コースマネージャー，他の受講者，これらは学習のための リソースとして最大限活用できる

＜解決案その1‥基準達成型研修技法＞

教育や研修といえば，「講師がOHPや白板を使って説明し，受講者は一斉に聞く」ものと思われているでしょう。しかし，これとは全く異なったやりかたがあるのです。

国内では普及の途上で，あまり知られていませんが「基準達成型研修技法」という研修技法があります(図3)。アメリカの研修コンサルタントが構築したCRI(Criterion-Referenced Instruction)もその一つです。

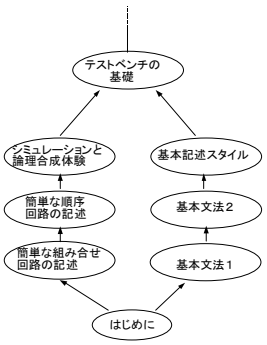
学習単元の履修順は，図4に示すコースマップで示され，受講者はこれらを順番に学習していくことになります。コースマップは，習得項目の従属関係を整理し図示したものです。

基準達成型研修技法を設計教育に導入したことを想定してみます。HDL 設計コースの受講者は次のように学習することになるでしょう。

・コースマネージャーから研修の受け方の説明を受ける
(全員参加)

・コースマップに沿って，学習する単元を決める
・その単元の「目標」「修了判定テスト」をよく読み，既知の項目か判断する
・既知でなければ，テキストに沿って学習する
シミュレータや論理合成ツールも必要に応じて利用する
・教材は紙のテキストだけでなく，ツールの操作方法などはコンピュータ上の動画で確認　できような仕組みもある
・質問や疑問点は，コースマネージャーに聞く
他の受講者に確認するもよい
・その単元の学習が終わったら「修了判定テスト」を受ける
テストは多くの場合，与えられた仕様の回路を記述，検証，論理合成を行うことになる
・テストの合否はツール上で行うが，最終確認はコースマネージャーが行う
・一つの学習単元が終了したら休憩を取るも良いし，コースマップを参照して，次の単元に進めても良い
・以上を繰り返して，目標としていた単元がすべて終了したら，学習を終えて職場に戻って良い。オプションの学習単元があれば，自分の興味に応じて学習を続行しても良い

図4



コースマップの例

・コースマップの下から，矢印の順に学習
・分岐があるときは進路を選択できる
・複数の「入り口」があるところでは，すべてが修了していないと次に進めない
・各学習単元の先頭で，
－達成目標
－修了判定内容
などが提示される
・受講者は，既知のことと見なせれば，学習をスキップして修了判定を受けられる

コースマネージャーは全員の学習の進捗を把握し，手間取っている受講者への補助を適宜行います。学習の進め方は受講者にまかせていますので，休憩を取ったり，時間の許せる範囲で一時的に中断することも可能です。

理解度の高い受講者は，設定した期間より早く終了することも可能です。逆の方は，設定した期間内に終了できなくても，次回の機会があれば，つづきから学習することもできるでしょう。

この研修技法を応用すれば，従来の初級から上級までの区別の全くないコース設定も可能でしょう。受講者が，自分の達成目標を決めて参加し，到達した時点で終了すれば良いわけです。したがって従来では考えられないような，
・若手と経験者が同じ研修に参加する
・経験者は，若手をフォローしながら自分の学習を進める
・若手と経験者双方とも，修了時には目標を達成している
なども可能になります。

アメリカでは多くの企業で採用された実績があります。日本では，まだなじみの薄い研修技法ですが，アメリカに生産拠点を持つ会社などを中心に，現地での成果を参考に国内でも採用されつつあります。

<解決案その2・・TBT（Technology Based Training）>

設計者のコンピュータ普及率は100％でしょう。設計に使うEDAマシンとしての利用の他に，ドキュメント作成やグループ設計のためのコミュニケーションツールとしても使われています。そのコンピュータを使った教育技法がＴＢＴ（Technology Based Training）
です。

TBTとして現在多く利用されているのは，
・WEB ブラウザを利用したWBT（Web Based Training）
・CD-ROM などのマルチメディア教材
などです。

これらを使用すれば，時間や場所の問題は解決します。つまり，受講者は，遠方の研修所に出向く必要もなく，一定期間拘束されることもありません。また，研修を提供する側にとっても，講師のスケジュールや配分，研修場所の確保などを考慮する手間もなくなります。研修を「量産」することができます。

しかし，TBTによる学習は，ほとんどが独習です。学習の正否は，受講者のモチベーションの維持に依存するところが多くなります。教材の作りによっては，すぐに退屈してしまい，「20分と目を開けていられない」状態さえ起こり得ます。

TBTは，まだ発展途上の分野です。したがって教育効果を上げる確実な方法は確立されていません。多くの場合，紙の媒体をそのまま画面にして，ナレーションをつけただけの教材が見受けられます。

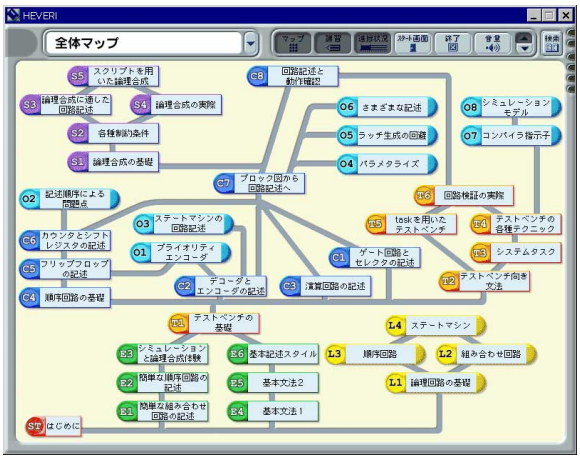
この「紙芝居」方式の最大の欠点は，ナレーションで説明している部分がどこなのかわからないと言うことです。受講者は説明対象がわからず，視点がうろうろするばかりです。これでは，集中力を維持するのは困難です。仮に「私は10時間かけて学習しました！」と言っても，「10時間クリックしただけ」かもしれません。

＜HDL Endeavor の特徴＞

HDL Endeavor は，基準達成型研修技法を採用したTBT教材です。HDL 設計の初学者を対象に，
・回路記述
・検証記述
・論理合成
ができることを目標としています。

また，独習でも集中力とモチベーションを維持できるように，様々な工夫をしています。

図5



(1)38個の学習単元

Verilog-HDL による設計に必要な知識を，38個の学習単元に分けました。基準達成型研修技法に基づいて，スキルの従属関係をもとにコースマップを構築しました(図5)。

それぞれの学習単元を「ユニット」と呼びます。ユニットは，図6に示すグループに分類されています。

図6

	ユニット名	意味	内容
必須	ST	Start	HDL設計の手順や用語
	E1～E6	Elementary	Verilog-HDLの基本
	C1～C8	Circuit	回路記述
	T1～T6	Testbench	テストベンチ(シミュレーション用記述)
	S1～S5	Synthesis	論理合成
選択	O1～O8	Option	記述上の各種ヒント
	L1～L4	Logic	論理回路

38個のユニットは，

・HDL設計に最低限必要な26の「必須ユニット」

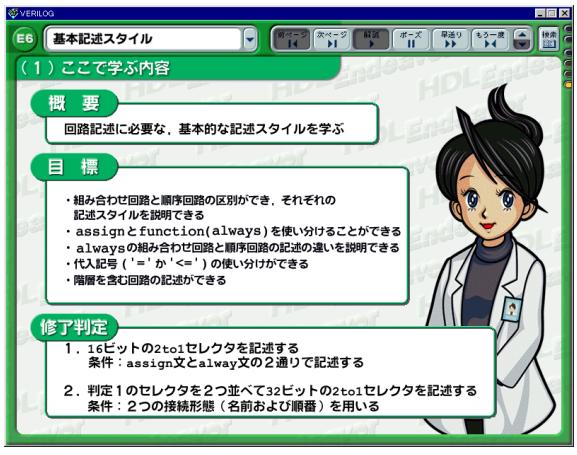
・必要に応じて学習する12の「選択ユニット」

とに分かれています。

(2)各ユニットの構成

各ユニットはいずれも，

図7



・ユニットの概要，目標，修了判定の内容を示した第1ページ

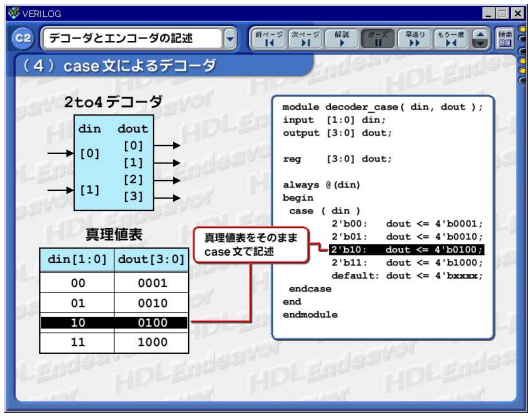
・数ページ～10数ページの講習本文

・数問の修了判定出題

から構成されています。

受講者は，第1ページの内容(図7)を見て，既知のことなら学習をスキップしてもかまいません。本文を見ずに，プルダウンメニューから修了判定のページへ移動して，判定を受けることができます。

図8



講習内容は，アニメーションとナレーションを多用し丁寧に説明しています(図8)。ナレーションの1行には，必ずアニメーションを付加して，説明部分を明確にしています。

・説明対象の中央への移動

・説明カ所の強調表示

・記述部分の反転表示

・補足項目の吹き出し表示

など，アニメーション効果を駆使して説明しています。このような飽きさせない工夫により，修了判定も含めて約20分から60分弱で各ユニットを学習できます。

(3)修了判定

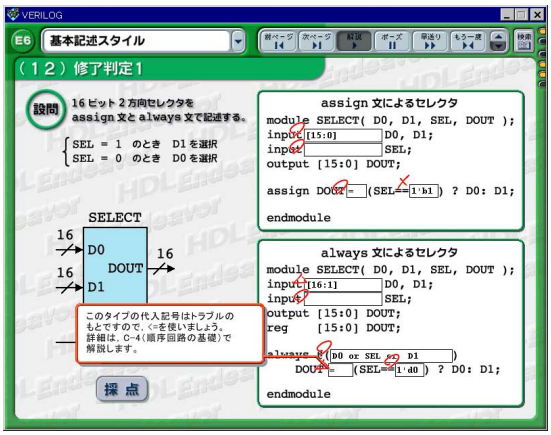
各ユニットの理解度を判定するのが修了判定です。設問に解答し全問正解すれば合格です。修了判定に合格すれば，理解できたと認め，そのユニットの学習は終了です。ユニットによっては，多数の修了判定を持つものもあります。

修了判定の多くは，図9に示したような穴埋め記述式です。単純な○×式では，HDLの理解度を判定できません。ただし，記述のすべてを判定するのは，教材のプログラミング上困難ですので，記述の一部を穴埋めする方法としました。問題によっては，文法上複数の解答が可能な場合もあり，これらにも忠実に対応しています。

採点により○，△，×の判定を行い，△，×に対しては，なぜ正解ではないのか，どういった入力を要求しているのか，ヒントを吹き出しで表示します。修了判定は，理解度を自己評価をするのが目的です。したがって，詳しいヒントを出しますが，全問正解しなければ合格にはなりません。

文法上，回路記述上可能な記述でも，弊社の推奨する記述

図9



スタイルに適していない場合には，△の判定になります。HDL設計では，論理合成を考慮したスタイルで記述しないと，合成後の回路の品質が不十分な場合があります（S3ユニットで解説）。少々厳しいようですが，このような適さない記述の場合には，実質的に×と同じ判定になります。

(4)疑似ツールによるHDL設計の仮想体験

HDL設計が全く始めての方には，回路記述から回路を生成することを理解しにくいようです。設計教育の経験上，演習などで実際にHDLツールを操作することで理解が深まっていくことを実感しています。一般に，HDLのシミュレータや，論理合成ツールは高価です。教材の数倍～数10倍もしますので，教材のおまけに添付するわけには行きません。

そこで，HDL Endeavor では，あらかじめ用意した波形や回路図を表示する疑似ツールを用意しました（図 10）。講習の本文で出てきた内容で，シミュレーションや論理合成の仮想体験ができるようにしました。ツールとしては「おもちゃ」に過ぎませんが，HDL設計を体験するには十分と考えています。

修了判定の中で使うことで，回路記述，検証，論理合成の一連の体験をできるように工夫してあります。

(5)達成感を味わえるアイテム集め

的確な研修を構築するためには，受講者の年齢，興味対象，設計経験，職場での立場なども知っておく必要があります。HDL Endeavor の受講者の多くは，

・若手エンジニア
・設計経験はあまりない
・コンピュータやTVゲームには興味がある
・適度な競争心はある

などと想定し，独習でも受講のモチベーションを持ち続けられる工夫をしました。

それがアイテム集めです。学習にはストーリーがあり，各ユニットを終了するとご褒美としてシリコンチップをもらえます。多くのチップを集めることを目標とし，集めたチップは，基板上で一覧できます（図11）。

(6)多人数の進捗を把握できる進捗管理機能

終了したユニットや修了判定に入力した内容は，受講記録ファイルに保存されます。つづきから受講する場合の終了／未終了ユニットの判断や，集めたアイテムを一覧する場合に使います。

HDL Endeavor には，教材とは独立した進捗管理ツールが添付します。進捗管理ツールは，この受講記録ファイルを読み込み，表やグラフで表示する機能があります（図12）。複数の受講者の記録を読み込み，一括表示したり，他のツールで利用するためにCSVフォーマットで保存する機能があります。

図10

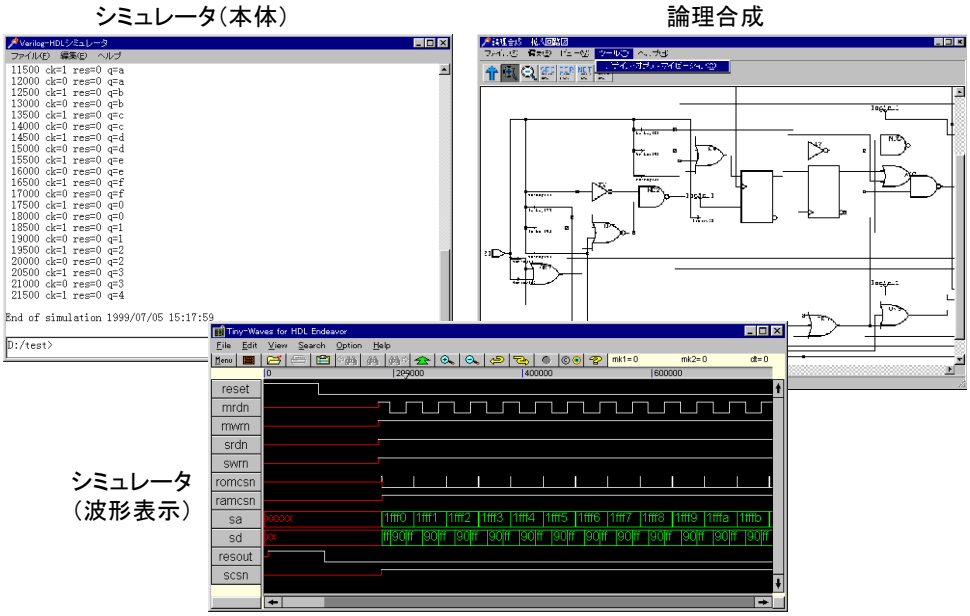
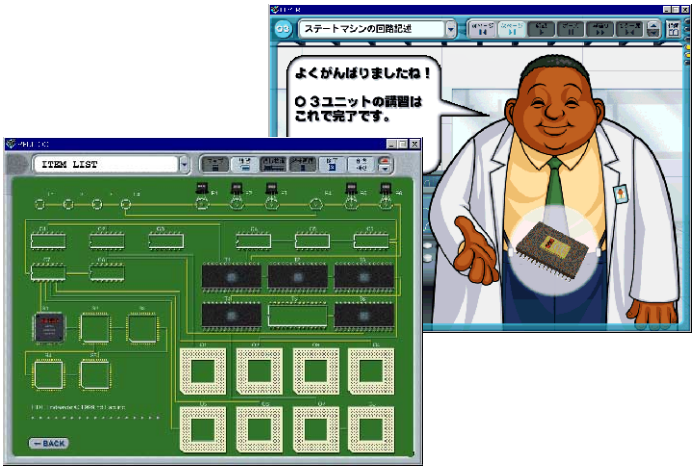
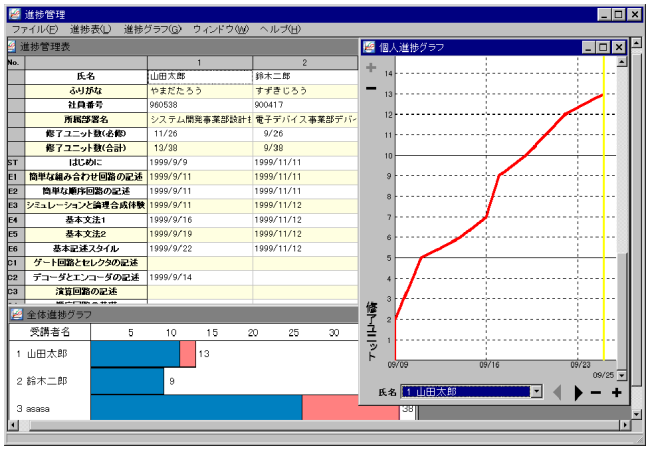


図11



受講記録ファイルを，
・ネットワーク上の共有ディスクに保存させる
・メールの添付書類として送付させる
などすれば，多数の受講者の進捗把握に便利です。(幸いにして？)HDL Endeavor の CD-ROM がなくても実行できます。また受講記録ファイルは，改変しにくい仕組みになっています。

図12



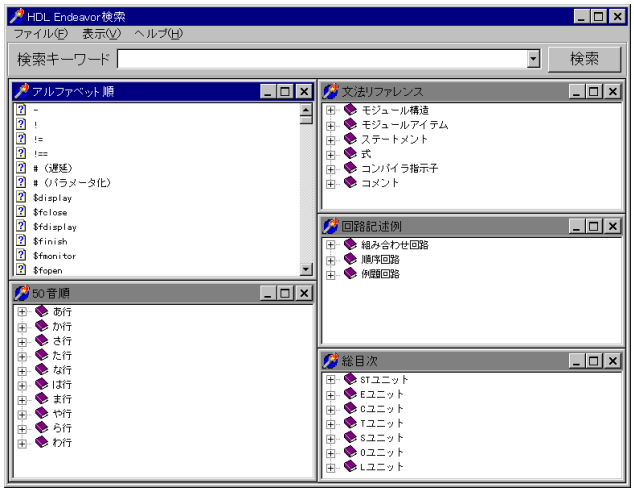
(7)ハンドブックとして使う閲覧モード

学習が一通り終わった方や，多少はHDL利用経験がある方向けに，受講者登録が不要な閲覧モードがあります。アイテム集めなどのストーリー性はなく，純粋に内容だけ見ることができます。付属の検索ツール(図13)とあわせて使うと，回路記述時の問題解決に役立ちます。

＊　　＊　　＊

企業の教育費は，好不況の影響を受けやすい予算でもあります。しかし新製品の開発に必要な人材を育成しなければ，明日の商品を開発できません。教育効果が高く，低コストな教育方法として，HDL Endeavor は最適な教育システムであると，お約束します。

図13



小林 優 (こばやしまさる) koba@hdlab.co.jp

株式会社エッチ・ディー・ラボ
HDL Endeavor(Verilog-HDL 版) 制作責任者

本稿は，製品版 HDL Endeavor Verilog-HDL の中に同梱されている取扱説明書の付録を抜粋したものです。本稿の全部または一部を許可なく複製または転載することは法律により禁じられています。

Copyright(c) 1999 hdLab, Inc. All rights reserved.

hdLab